

DIALOG(R)File 347:JAPIO  
(c) 2000 JPO & JAPIO. All rts. reserv.

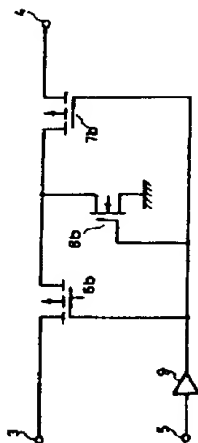
01845811    \*\*Image available\*\*  
CHANGEOVER SWITCH CIRCUIT

PUB. NO.:        61-059911 A]  
PUBLISHED:      March 27, 1986 (19860327)  
INVENTOR(s):    HAMADA FUMIO  
APPLICANT(s):   NEC CORP [000423] (A Japanese Company or Corporation), JP  
                  (Japan)  
APPL. NO.:      59-182148 [JP 84182148]  
FILED:          August 30, 1984 (19840830)  
INTL CLASS:     [4] H03K-017/687  
JAPIO CLASS:    42.4 (ELECTRONICS -- Basic Circuits)  
JOURNAL:        Section: E, Section No. 425, Vol. 10, No. 224, Pg. 60, August  
                  05, 1986 (19860805)

#### ABSTRACT

PURPOSE: To prevent the operation of other changeover switch from being disabled even if one changeover switch of plural routes is faulty by constituting switch through the combination of an enhancement FET and a depletion FET.

CONSTITUTION: When a negative voltage is fed to a control terminal 5, depletion FETs 6b, 7b are turned on, an enhancement FET8b is turned off and a signal inputted to an input terminal 3 is outputted to an output terminal 4. When a positive voltage is impressed to the terminal 5 conversely, the FETs 6b, 7b are turned off, the FET8b is turned on and no input signal is outputted to the output terminal 4. Since the FETs 6b, 7b are turned off at interruption, the impedance viewed from the terminals 3, 4 is high. Thus, in using the titled circuit as a switching circuit, since the effect on the other route is negligibly small, the switch of the active route has only to be energized by the power supply of the active route and the switch of the standby route has only to be energized by the power supply of the standby route.



DIALOG(R)File 351:Derwent WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

004618210

WPI Acc No: 1986-121554/198619

**Switching circuit for multiplexed telephone - has two enhancement FET(s)  
cascade-connected, with source of depletion FET connected to coupling  
point. NoAbstract Dwg 2/5**

Patent Assignee: NEC CORP (NIDE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 61059911	A	19860327	JP 84182148	A	19840830	198619 B

Priority Applications (No Type Date): JP 84182148 A 19840830

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 61059911	A		4		

Title Terms: SWITCH; CIRCUIT; MULTIPLEX; TELEPHONE; TWO; ENHANCE; FET;  
CASCADE; CONNECT; SOURCE; DEPLETED; FET; CONNECT; COUPLE; POINT;

NOABSTRACT

Derwent Class: U21; W01

International Patent Class (Additional): H03K-017/68

File Segment: EPI

Manual Codes (EPI/S-X): U21-B01B; W01-B02

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2000 EPO. All rts. reserv.

5474247

Basic Patent (No,Kind,Date): JP 61059911 A2 860327 <No. of Patents: 001>

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 61059911	A2	860327	JP 84182148	A	840830 (BASIC)

Priority Data (No,Kind,Date):

JP 84182148 A 840830

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 61059911 A2 860327

CHANGEOVER SWITCH CIRCUIT (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): HAMADA FUMIO

Priority (No,Kind,Date): JP 84182148 A 840830

Applic (No,Kind,Date): JP 84182148 A 840830

IPC: \* H03K-017/687

Derwent WPI Acc No: \* G 86-121554

JAPIO Reference No: \* 100224E000060

Language of Document: Japanese

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-59911

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)3月27日

H 03 K 17/687

7105-5J

審査請求 未請求 発明の数 2 (全5頁)

⑮ 発明の名称 切換スイッチ回路

⑯ 特 願 昭59-182148

⑰ 出 願 昭59(1984)8月30日

⑱ 発 明 者 濱 田 文 男 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 井出 直孝

明 細 書

1. 発明の名称

切換スイッチ回路

2. 特許請求の範囲

(1) 入力端子と、出力端子と、制御入力端子とを備え、

この制御入力端子の電位にしたがって上記入力端子と上記出力端子との間が導通状態または解放状態になる切換スイッチ回路において、

第一のエンハンスメント形電界効果トランジスタおよび第二のエンハンスメント形電界効果トランジスタの各ドレイン電極およびソース電極が直列に接続された上記入力端子と上記出力端子との間に接続され、

第三のデイブリーション形電界効果トランジスタのソース電極またはドレイン電極が上記第一および第二の電界効果トランジスタのソース電極とドレイン電極との接続点に接続され、

上記第一、第二および第三の電界効果トランジスタの各ゲート電極が一つの接続点電位に共通に接続され、

この接続点電位に上記制御入力端子の信号にしたがって負電位または零電位を与える制御回路を備えたことを特徴とする切換スイッチ回路。

(2) 入力端子と、出力端子と、制御入力端子とを備え、

この制御入力端子の電位にしたがって上記入力端子と上記出力端子との間が導通状態または解放状態になる切換スイッチ回路において、

第一のデイブリーション形電界効果トランジスタおよび第二のデイブリーション形電界効果トランジスタの各ドレイン電極およびソース電極が直列に接続されて上記入力端子と上記出力端子との間に接続され、

第三のエンハンスメント形電界効果トランジスタのソース電極またはドレイン電極が上記第一および第二の電界効果トランジスタのソース電極とドレイン電極との接続点に接続され、

上記第一、第二および第三の電界効果トランジスタの各ゲート電極が一つの接続点電位に共通に接続され、

この接続点電位に上記制御入力端子の信号にしたがって正電位または零電位を与える制御回路を備えたことを特徴とする切換スイッチ回路。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は、信頼性が要求される切換器、例えば多重電話回線の切換スイッチとして利用される。

#### (従来の技術)

多重電話回線の切換に使用されるスイッチは、現用ルートと予備ルートとの結合部に使用されるので、極めて高い信頼性が要求される。例えば、現用ルートの一部で故障が生じた場合に、スイッチが正常であれば予備ルートが選択されて支障のない通信が実行されるが、スイッチが故障した場合には、回線断という事態が起こり得る。

このような用途に適合する従来例切換スイッチ

の構成を第4図に示す。また、この切換スイッチが用いられた応用例装置を第5図に示す。この従来例切換スイッチは現用ルートか予備ルートかどちらか一方が正常であればこのスイッチが正常に作動するように、スイッチの電源は現用ルートと予備ルートの両方の電源から供給されていた。第5図でアンテナ1-受信機R、-復調機D、-スイッチSW、-装置出力端子2は予備ルートで、アンテナ1-受信機R、-復調機D、-スイッチSW、-装置出力端子2は現用ルートであり、通常スイッチSW。が閉路状態で、スイッチSW。が閉路状態にある。

ここで、復調機D。が故障し、復調機D。の電源ラインが接地され、電源PS。が働かなくなった場合を想定する。この場合に、スイッチSW。が閉路しスイッチSW。が開路する必要がある。スイッチSW。およびSW。は電源PS。およびPS。から並列供給されているので、電源PS。からの電力供給を受けなくても電源PS。からの正常な電力供給により回線切換が実行される。

#### (発明が解決しようとする問題点)

ところが、スイッチSW。が故障しその電源ラインが接地された場合を想定すると、スイッチSW。に供給している電源PS。およびPS。の電圧が同時に低下し、このために受信機R。、復調機D。およびスイッチSW。は正常に作動しなくなり、回線断状態が出現することになる。電源の並列供給を要する従来例回路はこのような欠点がある。

本発明はこの欠点を除去するもので、電源の並列供給を不要とする切換スイッチ回路を提供することを目的とする。

#### (問題点を解決するための手段)

本発明は、入力端子と、出力端子と、制御入力端子とを備え、この制御入力端子の電位にしたがって上記入力端子と上記出力端子との間が導通状態または解放状態になる切換スイッチ回路で、前述の問題点を解決するための手段として、第一のエンハンスメント形電界効果トランジスタおよび第二のエンハンスメント形電界効果トランジスタ

各ドレイン電極およびソース電極が直列に接続された上記入力端子と上記出力端子との間に接続され、第三のデイブリーション形電界効果トランジスタのソース電極またはドレイン電極が上記第一および第二の電界効果トランジスタのソース電極とドレイン電極との接続点に接続され、上記第一、第二および第三の電界効果トランジスタの各ゲート電極が一つの接続点電位に共通に接続され、この接続点電位に上記制御入力端子の信号にしたがって負電位または零電位を与える制御回路とを備えたことを特徴とする。

また、入力端子と、出力端子と、制御入力端子とを備え、この制御入力端子の電位にしたがって上記入力端子と上記出力端子との間が導通状態または解放状態になる切換スイッチ回路で、前述の問題点を解決するための手段として、第一のデイブリーション形電界効果トランジスタ、第二のデイブリーション形電界効果トランジスタの各ドレイン電極およびソース電極が直列に接続されて上記入力端子と上記出力端子との間に接続され、第

三のエンハンスメント形電界効果トランジスタのソース電極またはドレイン電極が上記第一および第二の電界効果トランジスタのソース電極とドレイン電極との接続点に接続され、上記第一、第二および第三の電界効果トランジスタの各ゲート電極が一つの接続点電位に共通に接続され、この接続点電位に上記制御入力端子の信号にしたがって正電位または零電位を与える制御回路とを備えたことを特徴とする。

#### (作用)

上記制御入力端子に印加される信号により、上記第一の電界効果トランジスタおよび上記第二の電界効果トランジスタは導通状態になり上記第三の電界効果トランジスタは非導通状態になるか、または、上記第一の電界効果トランジスタおよび上記第二の電界効果トランジスタは非導通状態になり上記第三の電界効果トランジスタは導通状態になる。

#### (実施例)

以下、本発明実施例回路を図面に基づいて説明

する。

第1図は、第一実施例回路の構成を示す回路接続図である。第2図は、第二実施例回路の構成を示す回路接続図である。第3図は、この実施例回路が用いられた応用例装置の構成を示すブロック構成図である。

まず、第一実施例回路の構成を第1図に基づいて説明する。この実施例回路は、第一の電界効果トランジスタ（以下、FETという。）6bと、第二のFET7bと、第三のFET8bと、制御回路9と、入力端子3と、出力端子4と、制御端子5とを備え、ここで、第一のFET6bおよび第二のFET7bはエンハンスメント形MOSFETであり、第三のFET8bはデブリーション形MOSFETである。入力端子3は第一のFET6bのソースに接続され、第一のFET6bのドレインは第二のFET7bのドレインおよび第三のFET8bのドレインに接続される。制御端子5は制御回路9の入力に接続され、制御回路9の出力は第一のFET6bのゲート、第二のFET7bのゲートおよび第三のFET8bのゲート

に接続される。第三のFET8bのソースは共通電位に接続され、第二のFET7bのソースは出力端子4に接続される。

次に、この実施例回路の動作を第1図に基づいて説明する。

端子5にマイナス電圧を印加した場合には、FET6bおよびFET7bがオン状態になり、かつFET8bはオフ状態になる。したがって、端子3および端子4間は導通状態になる。端子5に地気信号を入力した場合にはFET6bおよびFET7bがオフ状態になり、FET8bがオン状態になり、端子3および端子4間は断路状態になる。電源断状態では、FET6b、7bおよび8bのゲートに地気信号が与えられるか、またはオープン状態になったことと当換であるので、FET6bおよび7bはオフ状態になり、FET8bはオン状態になり、したがって端子3および端子4間は断路状態になる。このように、FET6bおよびFET7bがオフ状態になるので、端子3および4から見たインピーダンスが高インピーダンスになり、第3図の応用例装

置のスイッチSW、およびSWにこの実施例回路を用いた場合に、他ルートに与える影響は無視できる程度に小さい。したがって、電源オフ時でも他ルートに影響を与えないので、この実施例回路は片電源で使用できる。すなわち、電源の供給関係は、第2図に示すように、現用ルートのスイッチは現用ルートの電源で、予備ルートのスイッチは予備ルートの電源で電力供給されればよいことになる。

次に、第二実施例回路を第2図に基づいて説明する。この実施例回路は第一実施例回路のエンハンスメント形FET6bおよび7bをデブリーション形FET6cおよび7cとし、デブリーション形FET8bをエンハンスメント形FET3cとしたものであり、また、第一実施例回路では、制御端子5の信号にしたがって、それぞれのFET6b、7bおよび8bのゲートに負電位または零電位が与えられるが、この第二実施例回路では正電位または零電位が与えられて第一実施例回路と同様の動作が行われる。

(発明の効果)

本発明は、以上説明したように、エンハンスメント形FETとデプリーション形FETとを組合せたスイッチを構成することにより、一方の切換スイッチの故障により、他方の切換スイッチの作動が不能にならない高信頼性を有する切換スイッチ回路を実現する効果がある。

6b、7b、8b…FET、9…制御回路、10、11…インバータ、D<sub>1</sub>、D<sub>2</sub>…整流器、P S<sub>1</sub>、P S<sub>2</sub>…電源、R<sub>1</sub>、R<sub>2</sub>…受信機、S W<sub>1</sub>、S W<sub>2</sub>、S W<sub>3</sub>、S W<sub>4</sub>…スイッチ。

特許出願人 日本電気株式会社  
代理人 弁理士 井出直孝

4. 図面の簡単な説明

第1図は第一実施例回路の構成を示す回路接続図。

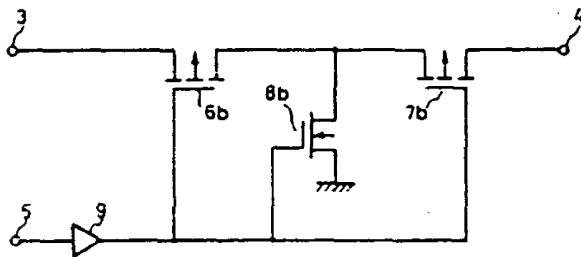
第2図は第二実施例回路の構成を示す回路接続図。

第3図は実施例回路が用いられた応用例装置の構成を示すブロック構成図。

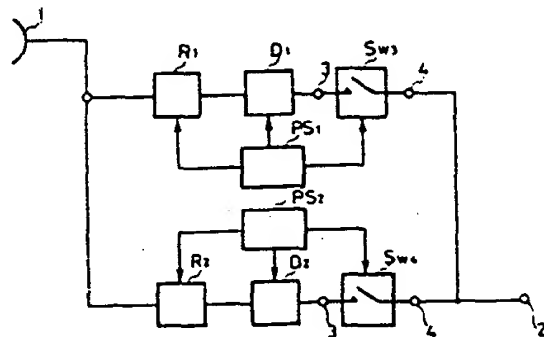
第4図は従来例回路の構成を示す回路接続図。

第5図は従来例回路が用いられた応用例装置の構成を示すブロック構成図。

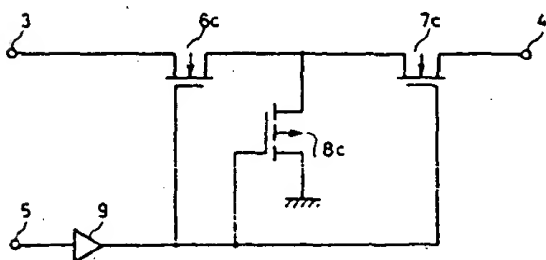
1…アンテナ、2…装置出力端子、3…入力端子、4…出力端子、5…制御端子、6a、7a、8a、



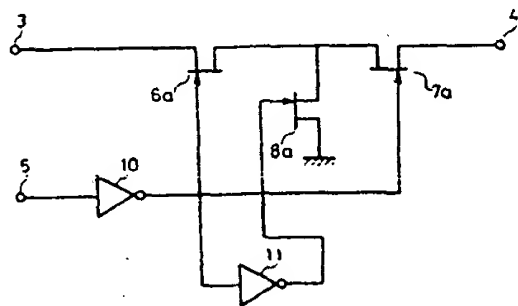
第 1 図



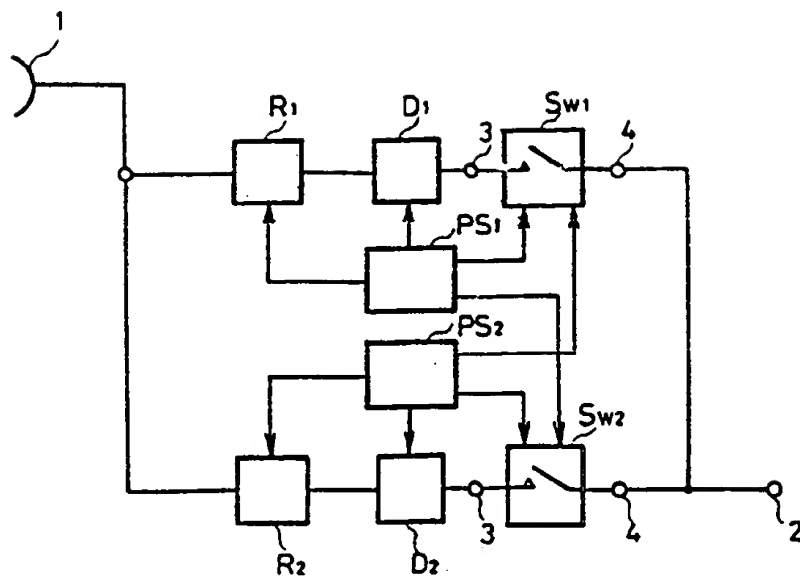
第 3 図



第 2 図



第 4 図



第 5 図